日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００１年　９月２８日

出願番号
Application Number: 特願２００１－３０３６８９

[ST.10/C]: [ＪＰ２００１－３０３６８９]

出願人
Applicant(s): 芝浦メカトロニクス株式会社

２００３年　６月１７日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００３－３０４７１９３

【書類名】　特許願
【整理番号】　A000103817
【提出日】　平成13年 9月28日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 21/203
【発明の名称】　スパッタリング用電源装置
【請求項の数】　12
【発明者】
【住所又は居所】　神奈川県横浜市栄区笠間二丁目５番１号　芝浦メカトロニクス株式会社横浜事業所内
【氏名】　栗山　昇
【発明者】
【住所又は居所】　神奈川県横浜市栄区笠間二丁目５番１号　芝浦メカトロニクス株式会社横浜事業所内
【氏名】　今川　和彦
【特許出願人】
【識別番号】　000002428
【氏名又は名称】　芝浦メカトロニクス株式会社
【代理人】
【識別番号】　100058479
【弁理士】
【氏名又は名称】　鈴江　武彦
【電話番号】　03-3502-3181
【選任した代理人】
【識別番号】　100084618
【弁理士】
【氏名又は名称】　村松　貞男
【選任した代理人】
【識別番号】　100068814

【弁理士】

【氏名又は名称】　坪井　淳

【選任した代理人】

【識別番号】　100092196

【弁理士】

【氏名又は名称】　橋本　良郎

【選任した代理人】

【識別番号】　100091351

【弁理士】

【氏名又は名称】　河野　哲

【選任した代理人】

【識別番号】　100088683

【弁理士】

【氏名又は名称】　中村　誠

【選任した代理人】

【識別番号】　100070437

【弁理士】

【氏名又は名称】　河井　将次

【手数料の表示】

【予納台帳番号】　011567

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9116897

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　スパッタリング用電源装置

【特許請求の範囲】

【請求項１】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、

この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値としての誤差を取る差動アンプと、

この差動アンプの出力に応じて前記第１のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第２のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段を具備したことを特徴とするスパッタリング用電源装置。

【請求項２】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、

この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

この電流検出手段で検出された電流値と設定電流値とを比較するヒステリシスを有するコンパレータと、

このコンパレータの比較結果に応じて前記第１のスイッチング手段を駆動する駆動手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項３】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、

この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、

このコンパレータの比較結果に応じて前記第１のスイッチング手段を駆動する駆動手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第２のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項４】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電

圧を出力するトランスと、

前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

この電流検出手段で検出された電流と電流設定値とを比較するヒステリシスを有するコンパレータと、

このコンパレータの出力に接続される発振器と、

前記コンパレータの出力がＨレベルの間にこの発振器から発振される発振信号に応答して前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項５】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、

前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互い

に独立のチョークコイルと、

前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、

このコンパレータの出力に接続される発振器と、

前記コンパレータの出力がＨレベルの間にこの発振器から発振される発振信号に応答して前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項６】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、

この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で

検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、

この演算回路の出力に応じて前記第１のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項７】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、

この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

この積分手段で得られた設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、

この演算回路の出力に応じて前記第１のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第２のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項８】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、

前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算する演算回路と、

この演算回路の出力から出力されるパルス幅に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項９】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、

前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互い

に独立のチョークコイルと、

前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

この積分手段の出力を設定電流値として入力し、この電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算してパルス幅を演算する演算回路と、

この演算回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項１０】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、

前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算する制御手段と、

この制御手段から出力されるパルス幅を保持するサンプルホールド回路と、

このサンプルホールド回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項１１】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、

前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算し、そのパルス幅をサンプルホールドする制御手段と、

この制御手段の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項１２】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、

前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパル

ス幅を演算し、そのパルス幅をサンプルホールドし前記スイッチング回路のスイッチング素子にスイッチング信号を出力する制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、コンパクトディスク（CD）やディジタル・ビデオ・ディスク（ＤＶＤ）製造用のスパッタリング装置に用いられるスパッタリング用電源装置に関する。

【０００２】

【従来の技術】

コンパクトディスク（CD）やディジタル・ビデオ・ディスク（ＤＶＤ）製造用のスパッタリング装置に用いられるスパッタリング用電源装置が特許第２８３５３２２号、特許第２８３５３２３号、ＵＳＰ５，５７６，９３９で知られている。

【０００３】

コンパクトディスクやディジタル・ビデオ・ディスクへの膜の形成は、マグネトロンスパッタ技術により成膜している。このスパッタリング中にアーク放電の抑制を失敗すると、ターゲット材料が飛散してディスクに付着するため、製品の歩留まりを下げる。

【０００４】

また、より短い時間でディスク上への成膜を完了させるためには、スパッタリング装置用電源装置から出力される平均電力を上げる必要がある。

【０００５】

【発明が解決しようとする課題】

しかし、平均電力を上げると、スパッタリング中にアーク放電が発生し易くなり、アーク放電の抑制を失敗する頻度も上がってしまう。

【０００６】

このようにアーク放電が発生してもスパッタ電流の変動を小さくして、スパッ

タリング放電を安定して継続させることが望まれている。

【０００７】

本発明の目的は、アーク放電が発生してもスパッタ電流の変動を小さくさせることができるスパッタリング用電源装置を提供することにある。

【０００８】

【課題を解決するための手段】

請求項1記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値としての誤差を取る差動アンプと、この差動アンプの出力に応じて前記第１のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第２のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段を具備したことを特徴とする。

【０００９】

請求項２記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、この電流検出手段で検出された電流値と設定電流値とを比較するヒステリシスを有するコンパレータと

、このコンパレータの比較結果に応じて前記第１のスイッチング手段を駆動する駆動手段とを具備したことを特徴とする。

【００１０】

請求項３記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、このコンパレータの比較結果に応じて前記第１のスイッチング手段を駆動する駆動手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第２のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

【００１１】

請求項４記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子と

の間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、この電流検出手段で検出された電流と電流設定値とを比較するヒステリシスを有するコンパレータと、このコンパレータの出力に接続される発振器と、前記コンパレータの出力がＨレベルの間にこの発振器から発振される発振信号に応答して前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

【００１２】

請求項５記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出部と、前記チョークコイルを流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、このコンパレータの出力に接続される発振器と、前記コンパレータの出力がＨレベルの間にこの発振器から発振される発振信号に応答して前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

【００１３】

請求項６記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、この演算回路の出力に応じて前記第１のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段とを具備したことを特徴とする。

【００１４】

請求項７記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第１のスイッチ手段と、この第１のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第２のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、この積分手段で得られた設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、

この演算回路の出力に応じて前記第１のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第２のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

【００１５】

請求項８記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子

を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算する演算回路と、この演算回路の出力から出力されるパルス幅に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

【００１６】

請求項９記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電

流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、この積分手段の出力を設定電流値として入力し、この電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算する演算回路と、この演算回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

【００１７】

請求項１０記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算する制御手段と、この制御手段から出力されるパルス幅を保持するサンプルホールド回路と、このサンプルホールド回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

【００１８】

請求項１１記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、　前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算し、そのパルス幅をサンプルホールドする制御手段と、この制御手段の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

【００１９】

請求項１２記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチンング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、　前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第1及び第２のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位

置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算し、そのパルス幅をサンプルホールドし前記スイッチング回路のスイッチング素子にスイッチング信号を出力する制御手段とを具備したことを特徴とする。

【００２０】

【発明の実施の形態】

以下図面を参照して本発明の一実施の形態について説明する。図１において、１０はスパッタリング用電源装置を制御する制御部である。

【００２１】

また、１１は例えば、８００Ｖのスパッタリング用直流電源である。この直流電源１１の両極間には、コンデンサ１２が並列に接続されている。

【００２２】

また、直流電源１１の負極は、スイッチングトランジスタＳＷ１のソースに接続されている。

【００２３】

また、スイッチングトランジスタＳＷ１のドレインと直流電源１１の正極間には、フライホイールダイオード１３が接続されている。スイッチングトランジスタＳＷ１のドレインはチョークコイルＬを介してスイッチングトランジスタＳＷ２のソースに接続されている。このスイッチングトランジスタＳＷ２のドレインは逆電圧源１４の正極が接続されている。この逆電圧源１４の負極は接地ラインａに接続されている。

【００２４】

トランジスタＳＷ２のソースはダイオード１５のカソードに接続されている。このダイオード１５には抵抗Ｒ１が並列に接続されている。このダイオード１５と抵抗Ｒ１により逆方向アーク防止回路が構成されている。

【００２５】

ダイオード１５のアノードは、本スパッタリング用電源装置の負極（－）に接続される。また、接地ラインａは正極（＋）に接続されている。

【００２６】

本スパッタリング用電源装置の負極（－）と正極（＋）との間の負荷電圧ＶＭは電圧検出部１６に検出される。ここで、チャンバ１９内でスパッタ放電が行なわれているときのスパッタ電圧は通常３００Ｖ以上であり、アーク放電電圧は１５０Ｖ以下であるので、負荷電圧ＶＭを検出することによりスパッタリングが正常に行なわれているか、アーク放電が発生しているかを判断することができる。

【００２７】

さらに、ダイオード１３のアノードとチョークコイルＬとの間には電流検出器１７が設けられている。この電流検出器１７により負荷電流ＣＭが検出される。

【００２８】

負極（－）はターゲット１８に接続され、（＋）極はチャンバ１９に接続されている。

【００２９】

ところで、コントローラ１０には電圧検出部１６で検出される負荷電圧ＶＭ及び電流検出器１７で検出される負荷電流ＣＭが入力される。コントローラ１０は負荷電圧ＶＭを検出し、その電圧が１５０Ｖ以下であれば、チャンバ１９内にアークが発生していると判断し、トランジスタＳＷ２に対してゲート信号ＳＷ２をオンにして出力して、トランジスタＳＷ２を導通させる。

【００３０】

電圧検出部１６で検出された負荷電圧ＶＭ及び電流検出器１７で検出された負荷電流ＣＭはアナログ乗算器２１において乗算され、瞬時電力Ｐが算出される。そして、この瞬時電力Ｐと設定電力Ｐsetとの差、つまり誤差電力が算出された後、スイッチＳ１を介して電力フィードバック用の誤差アンプ２２に入力される。この誤差アンプ２２において誤差電力が積算される。ここで、スイッチＳ１はコントローラ１０から出力されるゲート制御信号ＳＷ２がオンとして出力されると開路（オープン）される。

【００３１】

そして、この誤差アンプ２２の出力は設定電流値Ｉsetとして誤差アンプ２３に入力される。この誤差アンプ２３は負荷電流ＣＭと設定電流値Ｉsetとの差を増幅してＰＷＭＩＣ２４に出力する。このＰＷＭＩＣ２４は負荷電流ＣＭと設定電流値Ｉsetとの差に応じたパルス幅を有する信号をドライバ２５に出力する。このドライバ２５からトランジスタＳＷ１にゲート制御信号ＳＷ１が出力される。

【００３２】

次に、動作について説明する。チャンバ１９内でアークが発生しない状態でスパッタリングが行なわれていれば、電圧検出部１６により３００Ｖ以上のスパッタ電圧が負荷電圧として検出される。

【００３３】

従って、コントローラ１０はゲート制御信号ＳＷ２をオフしている。つまり、アークの発生を抑制するための逆電圧源１４は印加されていない。

【００３４】

このような状態では、スイッチＳ１は閉じている。従って、電圧検出部１６で検出された負荷電圧ＶＭ及び電流検出器１７で検出された負荷電流ＣＭはアナログ乗算器２１において乗算され、瞬時電力Ｐが算出される。そして、この瞬時電力Ｐと設定電力Ｐsetとの差、つまり誤差電力が算出された後、スイッチＳ１を介して電力フィードバック用の誤差アンプ２２に入力される。この誤差アンプ２２において誤差電力が積算される。

【００３５】

そして、この誤差アンプ２２の出力は設定電流値Ｉsetとして誤差アンプ２３に入力される。この誤差アンプ２３は負荷電流ＣＭと設定電流値Ｉsetとの差を増幅してＰＷＭＩＣ２４に出力する。このＰＷＭＩＣ２４は負荷電流ＣＭと設定電流値Ｉsetとの差に応じたパルス幅を有する信号をドライバ２５に出力する。このドライバ２５によりトランジスタＳＷ１がオン・オフ制御される。

【００３６】

つまり、設定電力Ｐsetとなるようにフィードバック制御されると共に、スパッタリング用電源装置の瞬時電力と設定電力Psetとの誤差に基づいて設定電流値

Ｉsetを設定している。

【００３７】

一方、チャンバ１９内でアークが発生すると、電圧検出部１６で検出される負荷電圧ＶＭは１５０Ｖ以下に低下する。すると、コントローラ１０から出力されるゲート制御信号ＳＷ２はオンされ、逆電圧源１４から出力される正の電圧がチャンバ１９に出力され、アークの発生が抑制される。

【００３８】

ゲート制御信号ＳＷ２はオンされるため、スイッチＳ１はオフされる。従って、誤差アンプ２２から出力される設定電流値Ｉsetはチャンバ１９にアークが発生する直前の値が保持される。

【００３９】

通常、スパッタリング用電源装置を設定電力Ｐsetで定電力運転させた場合、チャンバ１９内にアークが発生して負荷電圧ＶＭが低下すると、負荷電流ＣＭが増加するように制御されるが、本第１の実施の形態ではアークが発生した場合には、スイッチＳ１を開いて、設定電流値Ｉsetをアーク発生前、つまりスパッタリングを行なっている前の値が保持しているので、アークが発生しても負荷電流ＣＭの急激な増加を防止することができる。

【００４０】

次に、本発明の第２の実施の形態について図２を参照して説明する。図２において、図１と同一部分には同一番号を付し、その詳細な説明は省略する。

【００４１】

電流検出器１７で検出された負荷電流CMはコンパレータ３１の－端子に入力される。このコンパレータ３１の＋端子には設定電流値Ｉsetが入力されている。コンパレータ３１の出力は抵抗３２を介してコンパレータ３１の＋端子にフィードバックされる。

【００４２】

このコンパレータ３１の出力にはドライバ２５が接続される。このドライバ２５からトランジスタＳＷ１にゲート制御信号ＳＷ１が出力される。

【００４３】

次に、この第２の実施の形態の動作について説明する。コンパレータ３１の出力は抵抗３２を介して＋端子にフィードバックされているので、ヒステリシスを持ったコンパレータとして機能する。

【００４４】

コンパレータ３１の＋入力端子は設定電流値Ｉsetの値より仮に５％高い値になるよう抵抗３２等の回路定数を決定しておく。

【００４５】

まず最初は、負荷電流ＣＭはゼロであるので、コンパレータ３１の－端子の入力電圧はゼロＶである。従って、コンパレータ３１の出力は＋となり、ドライバ２５によりゲート制御信号ＳＷ１がオンにしてトランジスタＳＷ１に出力される。このため、トランジスタＳＷ１が導通し、チャンバ１９に直流電源１１が供給され、スパッタ放電がなされる。

【００４６】

ところで、トランジスタＳＷ１が導通すると、負荷電流ＣＭは

（直流電源１１の電圧－負荷電圧）＝Ｌ＊di/dt

の式に従って増加する。そして、負荷電流ＣＭがＩset＊1.05より大きくなると、コンパレータ３１の出力はゼロＶとなり、ゲート制御信号ＳＷ１がオフされ、トランジスタＳＷ１がオフする。

【００４７】

トランジスタＳＷ１がオフすると、負荷電流ＣＭは、

（－負荷電圧ＶＭ）＝Ｌ＊di/dt

の式に従って減少する。負荷電流ＣＭが設定電流値Ｉset＊0.95より下がると、コンパレータ３１の出力は＋となるため、トランジスタＳＷ１はオンする。このような動作が繰り返される結果、負荷電流ＣＭは設定電流値Ｉsetの ±５％に抑えることができる。

【００４８】

次に、本発明の第３の実施の形態を図３を参照して説明する。図３において、図１及び図２と同一部分には同一番号を付し、その詳細な説明については省略する。この第３の実施の形態は、図２で示したように、ヒステリシスを有するコン

パレータ３１の出力でトランジスタＳＷ１を駆動制御している。

【００４９】

そして、コンパレータ３１の＋端子に入力される設定電流値Ｉsetは、図１で説明したように、スパッタリング用電源装置の瞬時電力と設定電力Psetとの誤差に基づいて設定される。

【００５０】

そして、ヒステリシスを有するコンパレータ３１により負荷電流ＣＭは設定電流値Ｉsetの ±５％に抑えることができる。

【００５１】

さらに、この第３の実施の形態では、チャンバ１９への供給電力が設定電力Ｐsetとなるように設定電流Ｉsetを決定している。さらに、チャンバ１９内にアークが発生した場合には、スイッチＳ１をオフすることにより、誤差アンプ２２にチャンバ１９にアークが発生する直前の値を保持するようにしている。従って、チャンバ１９内に供給する電力を設定電力Ｐsetとなるように制御しているときに、チャンバ１９内にアークが発生すると負荷電流ＣＭが増加しようとするのを未然に防止することができる。

次に、本発明の第４の実施の形態について図４を参照して説明する。図４において、３相交流電圧（ＡＣ２００Ｖ３φ）は３相整流回路Ｄ０で全波整流された後、フィルタＬ０を通過した後、一対のスイッチング回路Ｓ１０，Ｓ２０によりパルス出力にされた後、トランスＴ１の一次側にそれぞれ接続される。

【００５２】

スイッチング回路Ｓ１０はスイッチング素子Ｓ１１～Ｓ１４を有する。スイッチング素子Ｓ１１とＳ１３は直列接続されると共に、スイッチング素子Ｓ１２とＳ１４は直列接続される。さらに、２つの直列接続体は互いに並列に接続される。これらスイッチング素子Ｓ１１～Ｓ１４のオン・オフ制御は、御述するドライバからのゲート制御信号により行われる。

【００５３】

さらに、スイッチング回路Ｓ１０には並列に平滑用コンデンサＣ１１が接続されている。

【００５４】

トランスＴ１の２次側は４つのダイオードからなるブリッジ回路Ｂ１、Ｂ２に接続される。

【００５５】

ブリッジ回路Ｂ１の一端は、４つ直列接続される互いに独立のチョークコイルＬ１～Ｌ４を介し、更に、逆方向アーク防止回路４１を介して本装置の（－）出力端子Ｏ１に接続される。この逆方向アーク防止回路４１はダイオードＤ２に抵抗Ｒ０が並列に接続されている。

【００５６】

さらに、ブリッジ回路Ｂ１の他端は、本装置の（＋）出力端子Ｏ２に接続される。さらに、最終列のチョークコイルＬ４と逆方向アーク防止回路４１との接続点はスイッチング用トランジスタ（以下、スイッチＳＷ２と呼称する）を介して逆電圧保持用コンデンサＣ３１の陽極に接続される。

【００５７】

ところで、ブリッジ回路Ｂ１の他端は、ブリッジ回路Ｂ２の一端に接続されている。ブリッジ回路Ｂ１とＢ２との接続点は、コンデンサＣ３１の陰極に接続されると共に本装置の（＋）出力端子Ｏ２に接続される。

【００５８】

なお、本装置の（－）出力端子Ｏ１と（＋）出力端子Ｏ２との間には、分圧抵抗Ｒ１、Ｒ２との直列接続体が接続される。この分圧抵抗Ｒ１とＲ２との接続点の電位は、コントローラ１０に入力される。この分圧抵抗Ｒ１及びＲ２により電圧検出部が構成される。このコントローラ１０は、例えばマイクロコンピュータを中心に構成されている。制御部２１は分圧抵抗Ｒ１とＲ２との接続点の電位を検出することにより、本装置の（－）出力端子Ｏ１と（＋）出力端子Ｏ２の負荷電圧ＶＭを検出している。

【００５９】

また、４つ直列接続される互いに独立のチョークコイルＬ１～Ｌ４に流れる電流Ｉは電流検出器２２により検出される。

【００６０】

ところで、本装置の（－）出力端子Ｏ１は、ターゲット１８に接続され、（＋）出力端子Ｏ２はチャンバ１９に接続される。通常、本装置の（＋）出力端子Ｏ２は接地される。

【００６１】

コントローラ１０は、本装置の（－）出力端子Ｏ１と（＋）出力端子Ｏ２の負荷電圧ＶＭを検出することにより、チャンバ１９内でスパッタ放電が発生しているかアーク放電が発生しているかを判定している。スパッタ電圧は通常３００Ｖ以上であり、アーク放電電圧は１５０Ｖ以下であるため、本装置の（－）出力端子Ｏ１と（＋）出力端子Ｏ２の電位差Ｖが１５０Ｖ以下に下がると、チャンバ１９内でアーク放電が発生していると判定される。

【００６２】

コントローラ１０は、アーク放電の発生を検出すると、設定時間Ｔ1(0.01～100μｓ)後にスイッチＳＷ２を設定時間Ｔ２（0.3～10μｓ）オンする。つまり、逆電圧パルスをターゲット１８に印加する。この間において、スイッチング素子Ｓ１１～Ｓ１４は御述するドライバによりオン、オフ制御され、４つ直列接続される互いに独立のチョークコイルＬ１～Ｌ４に定電流が流れるように制御される。つまり、４つ直列接続される互いに独立のチョークコイルＬ１～Ｌ４に流れる負荷電流ＣＭは電流検出器２２により検出される。前述した逆電圧パルスを印加直後のアーク判定時間Ｔ３は、１０μｓ（0.01～10μｓ）以下としている。そして、このアーク判定時間Ｔ３経過後に再度アークと判定された場合には、設定時間Ｔ1(0.01～100μｓ)後にスイッチＳＷ２を設定時間Ｔ２（0.3～10μｓ）オンする処理が行われる。以下、アークが検出される間は、アークが検出されなくなるまで、逆電圧パルスが印加され続ける。ここで、アークを判定してから設定時間Ｔ１後にスイッチＳＷ２をオンさせるのは、設定時間Ｔ１が経過する前にアークが自己消滅する場合があるからである。

【００６３】

トランスＴ１の一次コイルに流れる電流ＣＴは電流検出器４２により検出される。トランスＴ１の一次コイルに流れる電流を検出する理由は、決められた時間内に一次電流を交互に流してやらないと、トランスＴ１が磁気飽和して、大電流

が流れて、スイッチング素子Ｓ１１～Ｓ１４を破壊してしまうからである。

【００６４】

電流検出器２２で検出されたトランスＴ１の一次コイルに流れる電流ＣＴはコンパレータ５１の－端子に入力され、その＋端子にはトランスＴ１の限界電流ＣＴlimが入力されている。

【００６５】

さらに、電流検出器２２で検出された負荷電流ＣＭは、図２を参照して前述したヒステリシスをもったコンパレータ３１の－端子に入力される。このコンパレータ３１の＋端子には設定電流値Ｉsetが入力される。

【００６６】

さらに、このコンパレータ３１の出力はＣＲ発振回路５２に出力される。コンパレータ３１の出力が抵抗５２ａを介してコンパレータ５２ｂの＋端子に入力されると共に、抵抗５２ｃ、コンデンサ５２ｄを介してコンパレータ５２ｂの－端子に入力される。従って、コンパレータ３１の出力が正のままであると、コンデンサ５２ｄが充電されていくので、コンパレータ５２ｄの－端子の入力電位が上昇していき、このコンパレータ５２ｄの－端子の入力電位が＋端子の入力電位より高くなった時点で、コンパレータ５２ｄの出力はゼロになる。コンパレータ５２ｄの出力がゼロとなると、コンデンサ５２ｄは急激に放電され、＋入力のヒステリシス設定より下がった時点で＋出力となる。

【００６７】

従って、コンパレータ３１の出力が正の間は、ＣＲ発振回路５２は発振し続ける。

【００６８】

コンパレータ５１、３１及びＣＲ発振回路５２の出力はそれぞれアンド回路５３に入力される。そして、このアンド回路５３の出力はＴ型ＦＦ５４のＴ入力端子に入力されると共に、アンド回路５５ａ、５５ｂの一方の入力端子に入力される。Ｔ型ＦＦ５４のQ出力はアンド回路５５ａの他方の入力端に入力されると共に、その／Q出力はアンド回路５５ｂの他方の入力端に入力されている。

【００６９】

アンド回路５５ａの出力はドライバ５６ａに出力され、アンド回路５５ｂの出力はドライバ５６ｂに出力される。このドライバ５６ａによりスイッチング素子Ｓ１１，Ｓ１４の導通が制御され、ドライバ５６ｂによれスイッチング素子Ｓ１３，Ｓ１２の導通が制御される。

【００７０】

以上のように構成することにより、コンパレータ３１の出力が正の間は、ＣＲ発振回路５２は発振し続ける。従って、Ｔ型ＦＦ５４のＱ出力は “１” “０”を交互に出力する。この結果、ドライバ５６ａ、５６ｂが交互に駆動される。このようにＣＲ発振回路５２を設けることにより、トランスＴ１を磁気飽和させないで、トランスＴ１の一次コイルに流れる電流を制御することができる。

【００７１】

トランスＴ１の一次コイルに流れる電流を制御する場合には、最初のパルス幅を最大幅にすると、確率１／２で磁気飽和が起こる。このため、通常のドライバ５６ａ，５６ｂでは、誤差アンプの時定数をパルス周期の５～１０倍程度にとって、図５に示すように徐々にパルス幅を広げることによって回避している。

【００７２】

ヒステリシスを有するコンパレータ３１を使用した場合には、最初のパルスは全開であるので、１／２の確率で磁気飽和が起こる。そこで、磁気飽和が初期電流を電流検出器４２で検出し、その値がコンパレータ５１においてＣＴlimより大きいと判定されると、コンパレータ５１の出力はゼロとなるので、ドライバ５６ａ，５６ｂから出力されるパルスを停止させて、トライスＴ１の磁気飽和を未然に防止している。

【００７３】

次に、図６を参照して本発明の第５の実施の形態について説明する。図６において、図１あるいは図４と同一部分には同一番号を付し、その詳細な説明については省略する。この第５の実施の形態では、図４のヒステリシスを有するコンパレータ３１の＋端子に入力される設定電流値Ｉsetを図１で説明したように、スパッタリング用電源装置の瞬時電力と設定電力Psetとの誤差に基づいて設定される。

【００７４】

そして、ヒステリシスを有するコンパレータ３１により負荷電流ＣＭは設定電流値Ｉsetの ±５％に抑えることができる。

【００７５】

この第５の実施の形態では、チャンバ１９への供給電力が設定電力Ｐsetとなるように設定電流Ｉsetを決定している。さらに、チャンバ１９内にアークが発生した場合には、スイッチＳ１をオフすることにより、誤差アンプ２２にチャンバ１９にアークが発生する直前の値を保持するようにしている。

【００７６】

このように本発明の第５の実施の形態では、第４の実施の形態の効果の他に、チャンバ１９内に供給する電力を設定電力Ｐsetとなるように制御しているときに、チャンバ１９内にアークが発生すると負荷電流ＣＭが増加しようとするのを未然に防止することができる。

【００７７】

次に、図７を参照して本発明の第６の実施の形態について説明する。まず、本第６の実施の形態の基本原理について説明する。コイルＬを流れる電流と電圧との関係は

$$E = L * di/dt \qquad \cdots (1)$$

となっている。

【００７８】

（１）式において、Ｌをインダクタンス、Ｖiを供給パルス、Ｖｏを出力電圧、ＴをPWMの周期、dtをパルス幅、Ｉsを目標電流、Ｉrを現在の電流とすると、PWMの１周期に変化する電流diは、

$$di = (Vi - Vo)\ L * dt - Vo / L * (T - dt) \qquad \cdots (2)$$

となる。

【００７９】

（２）式において、第１項はPWMパルスＯＮで電流を増加させ、第２項はPWMパルスOFFでＬに溜まったエネルギーを負荷に供給して電流が減少することを意味する。

【００８０】

次に、（２）式を展開する。

【００８１】

di＝Ｖｉ／Ｌ＊dt－Ｖｏ／Ｌ＊dt－Ｖｏ／Ｌ＊Ｔ＋Ｖｏ／Ｌ＊dt

＝Ｖｉ／Ｌ＊dt－Ｖｏ／Ｌ＊Ｔ　　…（３）

この（３）式において、第１項はPWMパルスＯＮで電流を増加させる項、第２項は周期Ｔの間Ｖｏを出力しているので、その間に減少する電流と考えられる。

【００８２】

制御量はPWMのパルス幅dtなので、（３）式をdtについて解くと以下のようになる。

【００８３】

di＋Ｖｏ／Ｌ＊Ｔ＝Ｖｉ／Ｌ＊dt

dt＝（di＋Ｖｏ／Ｌ＊Ｔ）＊Ｌ／Ｖｉ

＝di＊Ｌ／Ｖｉ＋Ｖｏ／Ｖｉ＊Ｔ　　…（４）

となる。（４）式において、第１項は、電流の過不足に対する補正パルス幅で、第２項は入力電圧と出力電圧比によって、現状の電流を維持するために必要なパルス幅を意味する。

【００８４】

さらに、di＝Ｉｓ－Ｉｒであるので、

（４）式を変更すると、

＝（Ｉｓ－Ｉｒ）＊Ｌ／Ｖｉ＋Ｖｏ／Ｖｉ＊Ｔ

＝Ｉｓ＊Ｌ／Ｖｉ－Ｉｒ＊Ｌ／Ｖｉ＋Ｖｏ／Ｖｉ＊Ｔ　…（５）

＝（Ｉｓ＊Ｌ－Ｉｒ＊Ｌ＋Ｖｏ＊Ｔ）／Ｖｉ　　…（６）

ここで、（５）式において第１項は設定電流に対するパルス幅、第２項は現在の電流値に対するパルス幅、第３項は電流を維持するために必要なパルス幅である。

【００８５】

図７の下側の回路は（６）式をそのまま回路図に置き換えた回路である。つまり、（６）式のＩｓ、Ｉｒ、Ｖｏが、図７の設定電流値Ｉset、負荷電流ＣＭ、負

荷電圧ＶＭに相当する。

【００８６】

オペアンプ６１の－端子には負荷電圧ＶＭ、負荷電流ＣＭ、設定電流値Ｉsetが入力され、このオペアンプ６１において、

Iset＊Ｌ－CM＊Ｌ＋ＶＭ＊Ｔが演算される。

【００８７】

そして、割り算器６２において、オペアンプ６１の出力を入力電圧Ｖｉで割り算する処理が行なわれる。そして、この割り算器６２の出力はＰＷＭＩＣ２４に出力される。このＰＷＭＩＣ２４によりパルス幅が決定される。さらに、ＰＷＭＩＣ２４の出力にはドライバ２５が接続され、このドライバ２５によりトランジスタＳＷ１にゲート制御信号ＳＷ１が出力される。

【００８８】

以上のように、（６）式に基づいた演算をオペアンプ６１及び割り算器６２で行なうことにより、ＰＷＭＩＣ２４によりパルス幅を決定している。

【００８９】

このように本発明の第６実施の形態によれば、パルス幅の演算を（６）式に示すように周期Ｔの平均電流で計算しているので、電流リップルを充分小さくできるように、インダクタンスＬを大きくして周期Ｔを短くすることができる。つまり、PWMのスイッチング速度を早くすることができる。さらに、負荷電圧ＶＭがチャンバ１９内のアーク発生により低下した場合には、負荷電圧ＶＭが下がった時点でパルス幅の計算結果が出るので、負荷電流ＣＭの増加をより小さく抑制することができる。

【００９０】

次に、本発明の第７実施の形態を図８を参照して説明する。図８において、図７あるいは図１と同一部分には同一番号を付し、その詳細な説明については省略する。

【００９１】

図８において、オペアンプ６１の－端子に入力される設定電流値Ｉsetは、スパッタリング用電源装置の瞬時電力と設定電力Psetとの誤差に基づいて設定され

る。

【００９２】

つまり、この第７の実施の形態では、前述した第６の実施の形態の効果と共に、以下のような効果を奏する。つまり、チャンバ１９への供給電力が設定電力Ｐsetとなるように設定電流Ｉsetを決定している。さらに、チャンバ１９内にアークが発生した場合には、スイッチＳ１をオフすることにより、誤差アンプ２２にチャンバ１９にアークが発生する直前の値を保持するようにしている。従って、チャンバ１９内に供給する電力を設定電力Ｐsetとなるように制御しているときに、チャンバ１９内にアークが発生すると負荷電流ＣＭが増加しようとするのを未然に防止することができる。

次に、本発明の第８の実施の形態について図９を参照して説明する。図９の上側の回路図は図６の上側の回路図とほぼ同一であるので、同一部分には同一番号を付し、その詳細な説明については省略する。

【００９３】

オペアンプ６１の－端子には負荷電圧ＶＭ、負荷電流ＣＭ、設定電流値Ｉsetが入力され、このオペアンプ６１において、

Iset＊Ｌ－CM＊Ｌ＋ＶＭ＊Ｔが演算される。

【００９４】

そして、割り算器６２において、オペアンプ６１の出力を入力電圧Ｖｉで割り算する処理が行なわれる。この割り算器６２の出力によりパルス幅が決定される。そして、この割り算器６２の出力は、スイッチＳ２を介してサンプルホールド回路６３に入力される。そして、このサンプルホールド回路６３の出力は、ＰＷＭＩＣ６４に入力される。このＰＷＭＩＣ６４にはドライバ５６ａ、５６ｂが接続される。このドライバ５６ａによりスイッチング素子Ｓ１１，Ｓ１４の導通が制御され、ドライバ５６ｂによれスイッチング素子Ｓ１３，Ｓ１２の導通が制御される。

【００９５】

ＰＷＭＩＣ６４にはタイミング回路６５が接続される。このタイミング回路６５は、トランスＴ１を磁気飽和させないように、スイッチング素子Ｓ１１～Ｓ１

４に出力する正、負のパルスを全く同じ幅になるように、スイッチＳ２を開閉制御してＰＷＭのパルス幅を決定する割り算器６２の出力をサンプルホールドする。

【００９６】

本発明の第８の実施の形態によれば、パルス幅の演算を（６）式に示すように周期Ｔの平均電流で計算しているので、電流リップルを充分小さくできるように、インダクタンスＬを大きくして周期Ｔを短くすることができる。つまり、PWMのスイッチング速度を早くすることができる。さらに、負荷電圧ＶＭがチャンバ１９内のアーク発生により低下した場合には、負荷電圧ＶＭが下がった時点でパルス幅の計算結果が出るので、負荷電流ＣＭの増加をより小さく抑制することができる。

【００９７】

さらに、このタイミング回路６５は、トランスＴ１を磁気飽和させないように、スイッチング素子Ｓ１１～Ｓ１４に出力する正、負のパルスを全く同じ幅になるように、スイッチＳ２を開閉制御してＰＷＭのパルス幅を決定する割り算器６２の出力をサンプルホールドするようにしたので、トランスＴ１の磁気飽和を防止することができる。

【００９８】

次に、本発明の第９の実施の形態を図１０を参照して説明する。図１０において、図１あるいは図９と同一部分には同一番号を付し、その詳細な説明については省略する。

【００９９】

図10において、オペアンプ６１の－端子に入力される設定電流値Ｉsetは、スパッタリング用電源装置の瞬時電力と設定電力Psetとの誤差に基づいて設定される。

【０１００】

つまり、この第9の実施の形態では、前述した第8の実施の形態の効果と共に、以下のような効果を奏する。つまり、チャンバ１９への供給電力が設定電力Ｐsetとなるように設定電流Ｉsetを決定している。さらに、チャンバ１９内にアーク

が発生した場合には、スイッチＳ１をオフすることにより、誤差アンプ２２にチャンバ１９にアークが発生する直前の値を保持するようにしている。従って、チャンバ１９内に供給する電力を設定電力Ｐsetとなるように制御しているときに、チャンバ１９内にアークが発生すると負荷電流ＣＭが増加しようとするのを未然に防止することができる。

次に、本発明の第１０の実施の形態について図１１を参照して説明する。図１１において、図９と同一部分には同一番号を付し、その詳細な説明については省略する。図１１においては、マイクロコンピュータ７１を設け、このマイクロコンピュータ７１内でIset＊Ｌ－CM＊Ｌ＋ＶＭ＊Ｔを演算して入力電圧Ｖiで割り算することによりパルス幅を演算している。これ以外の処理は図９の回路と同じ回路により処理される。

【０１０１】

このように本発明の第１０の実施の形態では、前述した第８の実施の形態と同じ効果を有すると共に、パルス幅の演算をデジタル処理することができる。さらに、バルス幅の演算をデジタル処理化することにより、インダクタンスＬの値を学習することができる。このようにインダクタンスＬの値を学習制御することにより、より精度の高い制御を行なうことができる。

【０１０２】

次に、本発明の第１１の実施の形態を図１２を参照して説明する。図１２は図１１のサンプルホールド回路６３をマイクロコンピュータ７１により行なわせるようにしたものである。従って、タイミング回路６５の出力をマイクロコンピュータ７１に入力させて、サンプルホールド回路６３に相当するソフト処理を行なうタイミングを制御している。

【０１０３】

このように第１１の実施の形態によれば、前述した第８の実施の形態と同じ効果を有すると共に、パルス幅の演算をデジタル処理することができる。さらに、バルス幅の演算をデジタル処理化することにより、インダクタンスＬの値を学習することができる。このようにインダクタンスＬの値を学習制御することにより、より精度の高い制御を行なうことができる。

【０１０４】

次に、本発明の第１２の実施の形態について図１３を参照して説明する。図１３の回路は、図１２のＰＷＭＩＣ６４及びタイミング回路６５の処理もマイクロコンピュータ７１で行なうようにしたものである。

【０１０５】

このようにマイクロコンピュータ７１でＰＷＭパルスを作成することにより、図９で示したアナログ回路ではペアパルスによってトランスＴ１の磁気飽和を回避していたのを、マイクロコンピュータ７１の演算により１パルス毎に磁気飽和しないパルス幅を決定することができる。さらに、トランスＴ１の磁気履歴もマイクロコンピュータ７１が正確に知ることができる。

【０１０６】

【発明の効果】

以上詳述したように本発明によれば、アーク放電が発生してもスパッタ電流の変動を小さくさせることができるスパッタリング用電源装置を提供することができる。

【図面の簡単な説明】

【図１】

本発明の第１の実施の形態に係るスパッタリング用電源装置の構成図。

【図２】

本発明の第２の実施の形態に係るスパッタリング用電源装置の構成図。

【図３】

本発明の第３の実施の形態に係るスパッタリング用電源装置の構成図。

【図４】

本発明の第４の実施の形態に係るスパッタリング用電源装置の構成図。

【図５】

同第４の実施の形態の動作を説明するための波形図。

【図６】

本発明の第５の実施の形態に係るスパッタリング用電源装置の構成図。

【図７】

本発明の第６の実施の形態に係るスパッタリング用電源装置の構成図。

【図８】

本発明の第７の実施の形態に係るスパッタリング用電源装置の構成図。

【図９】

本発明の第８の実施の形態に係るスパッタリング用電源装置の構成図。

【図１０】

本発明の第９の実施の形態に係るスパッタリング用電源装置の構成図。

【図１１】

本発明の第１０の実施の形態に係るスパッタリング用電源装置の構成図。

【図１２】

本発明の第１１の実施の形態に係るスパッタリング用電源装置の構成図。

【図１３】

本発明の第１２の実施の形態に係るスパッタリング用電源装置の構成図。

【符号の説明】

１０…制御部、

１１…スパッタリング用直流電源、

１３…フライホイールダイオード、

１４…逆電圧源

１５…ダイオード、

１６…電圧検出部、

１７…電流検出器、

１８…ターゲット、

１９…チャンバ、

２１…アナログ乗算器、

２２，２３…誤差アンプ、

２４…ＰＷＭＩＣ、

２５…ドライバ、

３１，５１…コンパレータ、

３２…抵抗、

４１…逆方向アーク防止回路、

５２…ＣＲ発振回路、

５６ａ，５６ｂ…ドライバ、

６１…オペアンプ、

６２…割り算器、

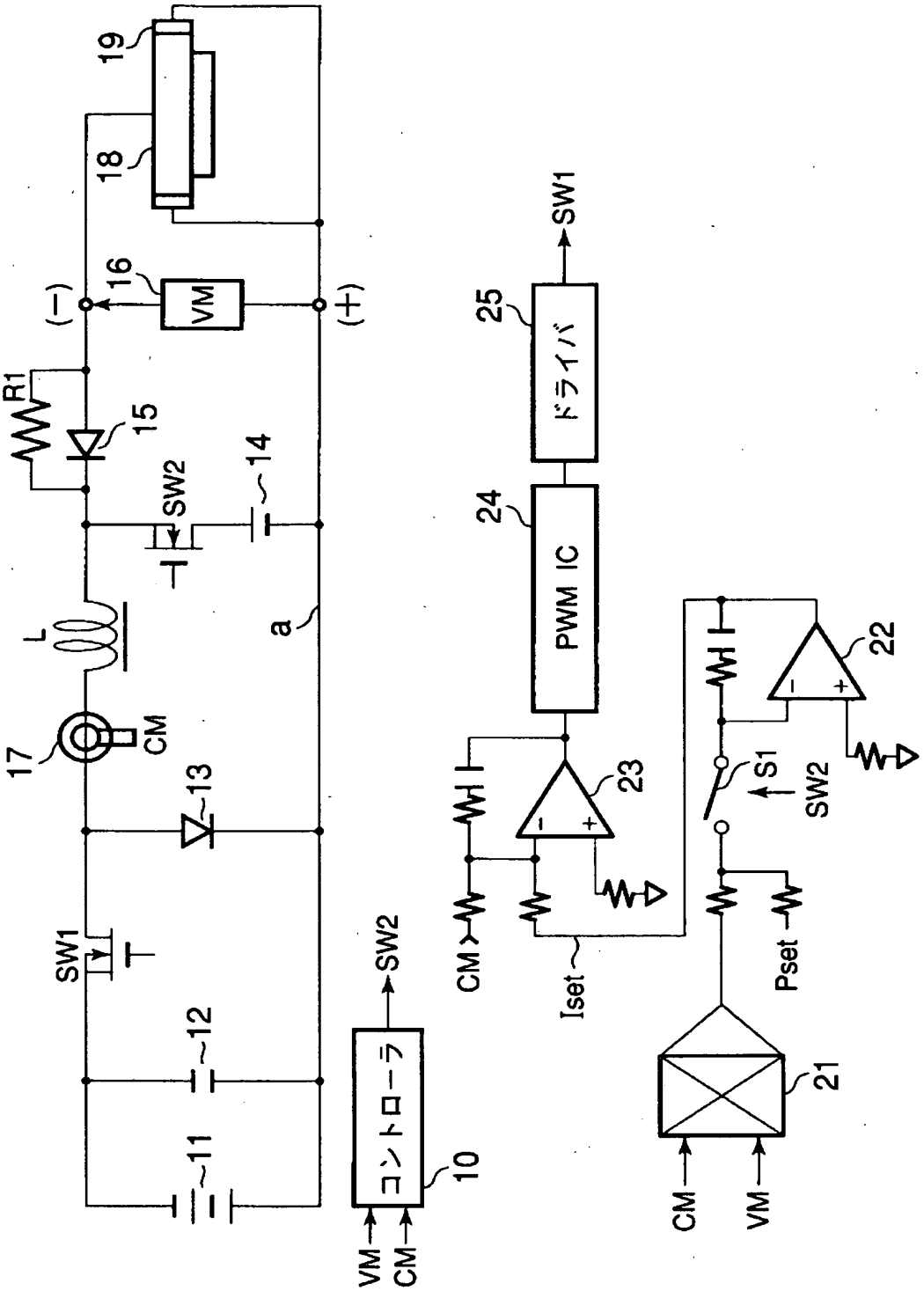
６３…サンプルホールド回路、

６５…タイミング回路、

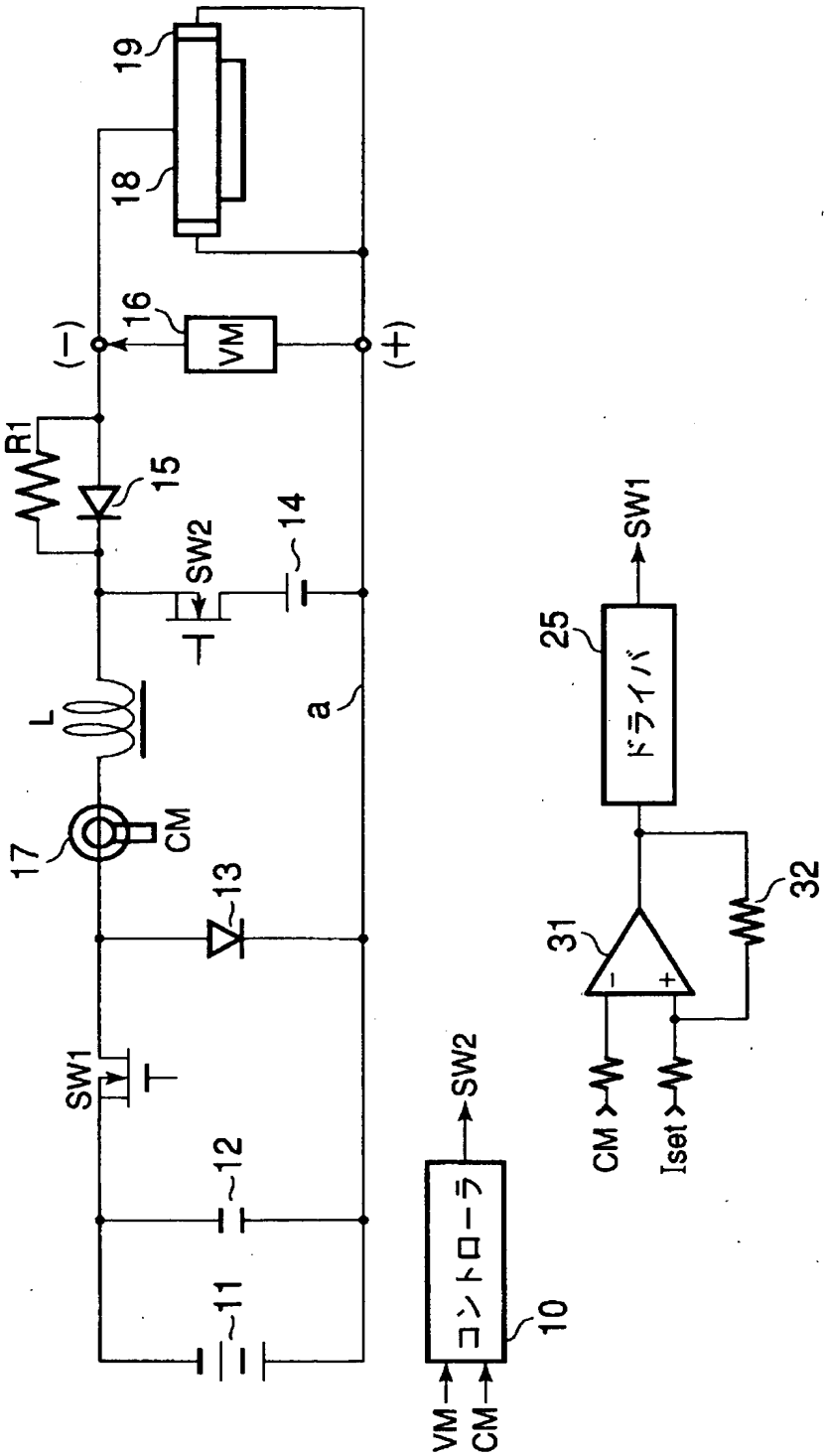
７１…マイクロコンピュータ。

【書類名】　　図面

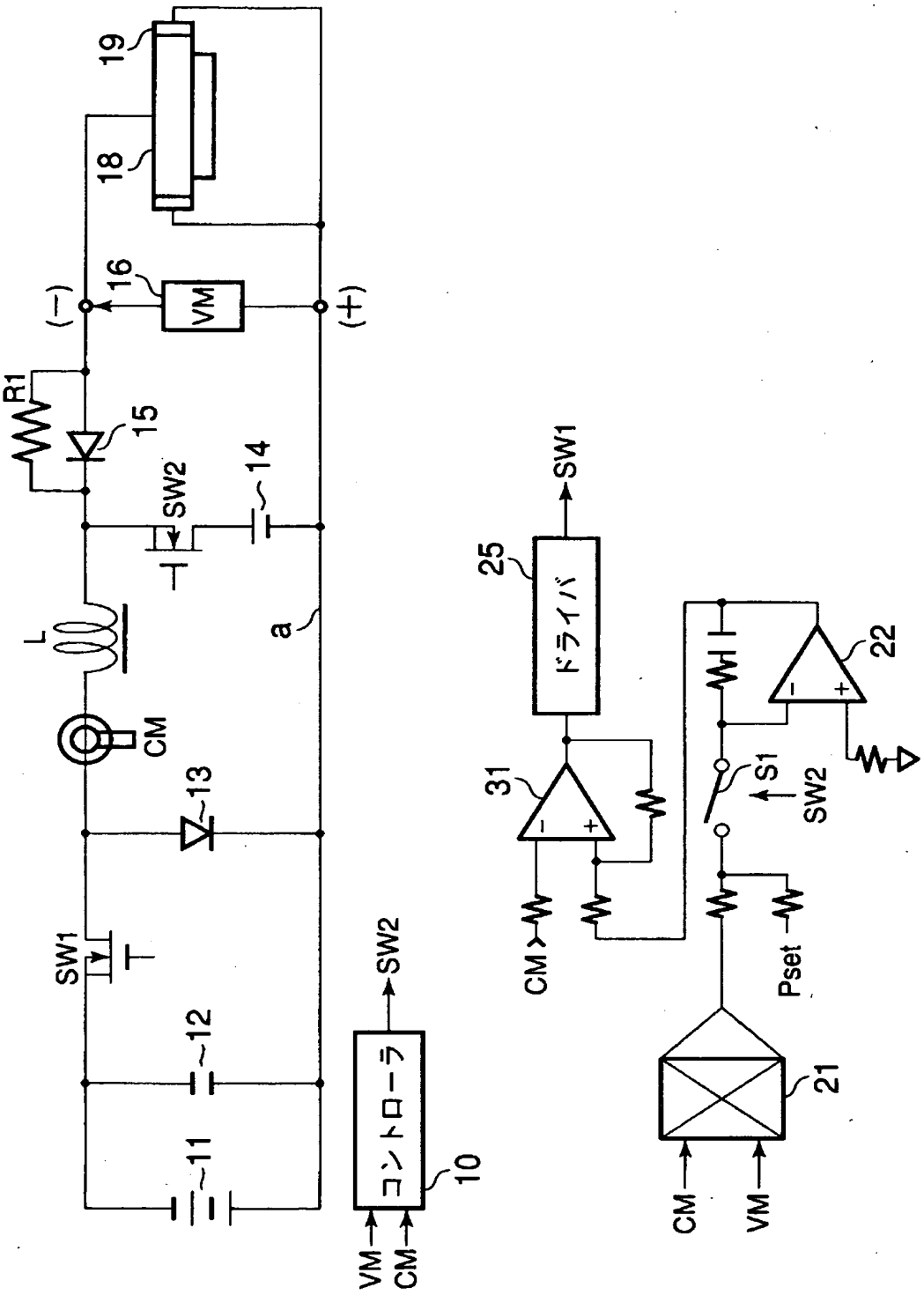
【図１】


19
18
16
VM
(−)
(+)
R1
15
14
SW2
L
a
17
CM
13
SW1
12
11
SW2
コントローラ
10
VM
CM
SW1
25
ドライバ
24
PWM IC
23
22
S1
SW2
CM
Iset
Pset
21
CM
VM

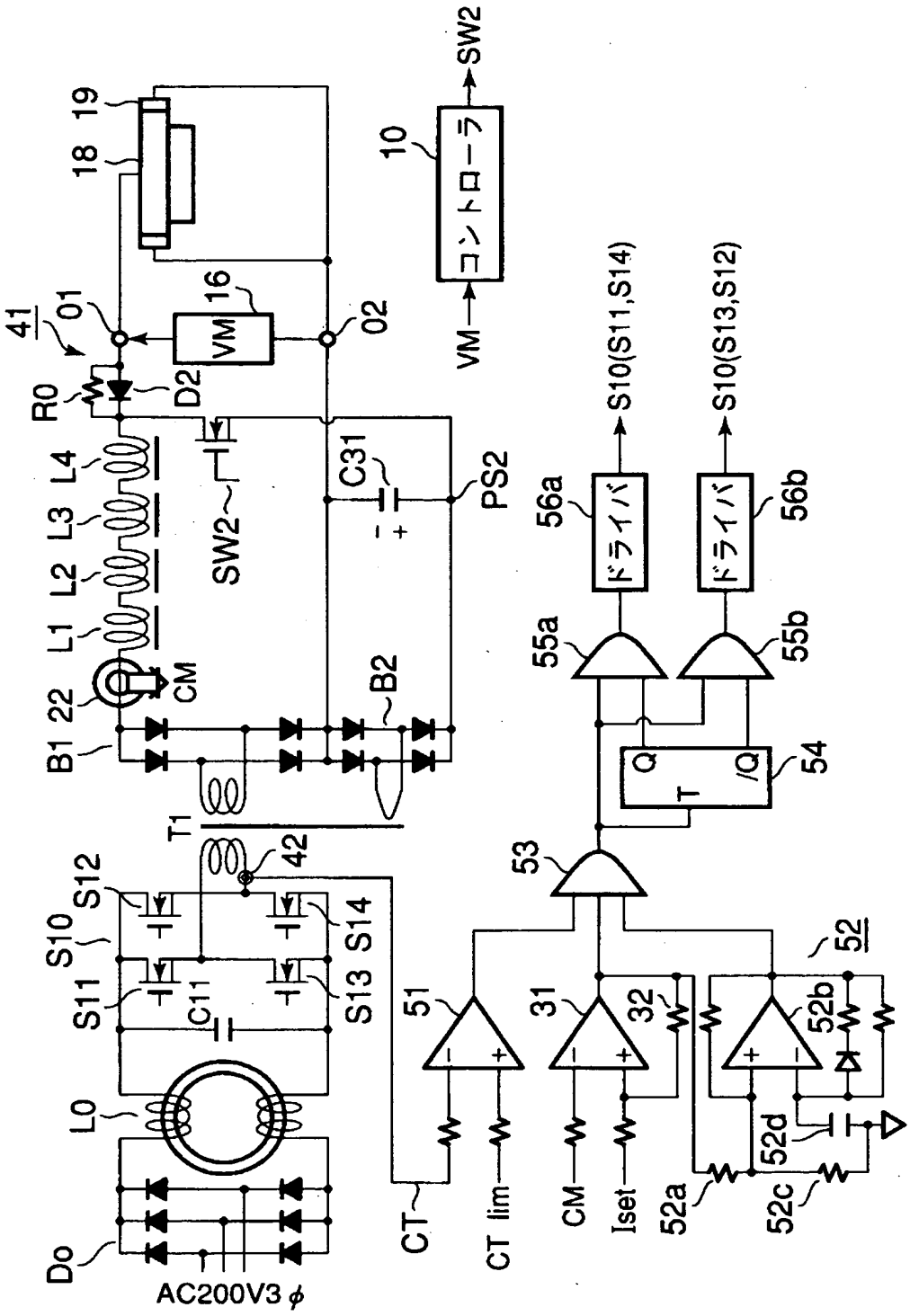
【図２】


19
18
16
VM
(−)
(+)
R1
15
14
SW2
L
a
CM
17
13
SW1
12
11
SW2
コントローラ
10
VM
CM
SW1
25
ドライバ
32
31
CM
Iset

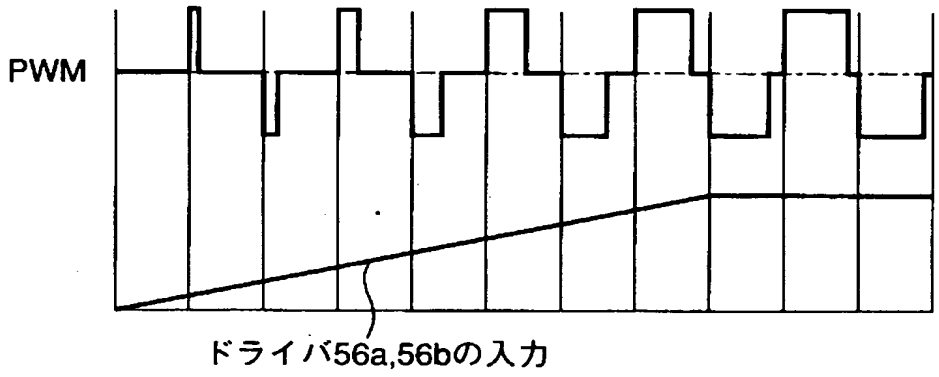
【図３】


19
18
16
VM
(−)
(+)
R1
15
14
SW2
L
a
CM
13
SW1
12
11
コントローラ
10
SW2
VM
CM
SW1
25
ドライバ
31
22
S1
SW2
CM
Pset
21
CM
VM

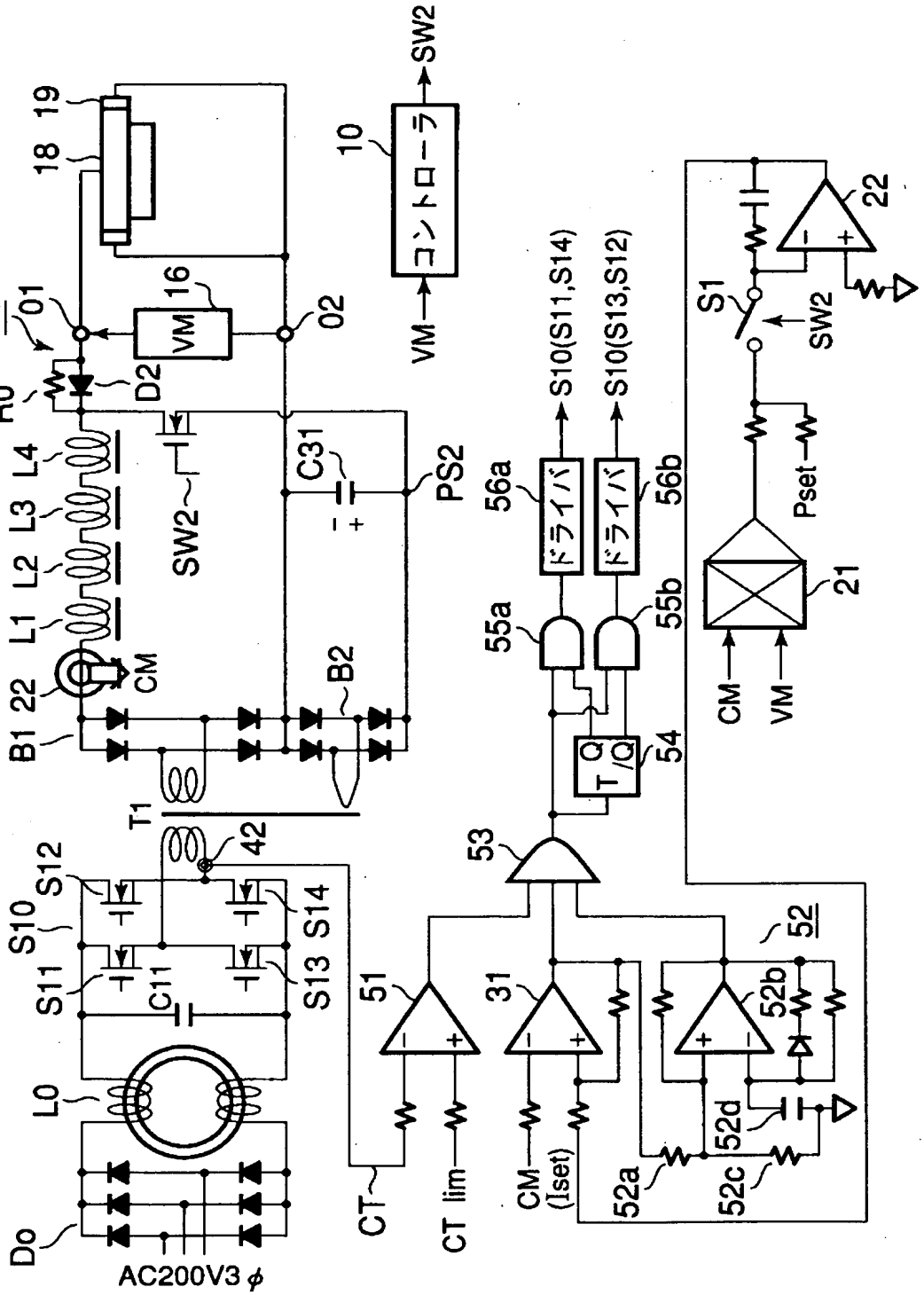
【図４】


SW2
10
コントローラ
VM
S10(S11,S14)
S10(S13,S12)
19
18
41
01
16
VM
02
R0
D2
L4
L3
L2
L1
SW2
C31
PS2
56a
ドライバ
56b
ドライバ
55a
55b
B1
22
CM
B2
Q
/Q
T
54
T1
42
53
S12
S10
S14
S11
C11
S13
51
31
32
52
52b
L0
52d
Do
AC200V3 φ
CT
CT lim
CM
Iset
52a
52c

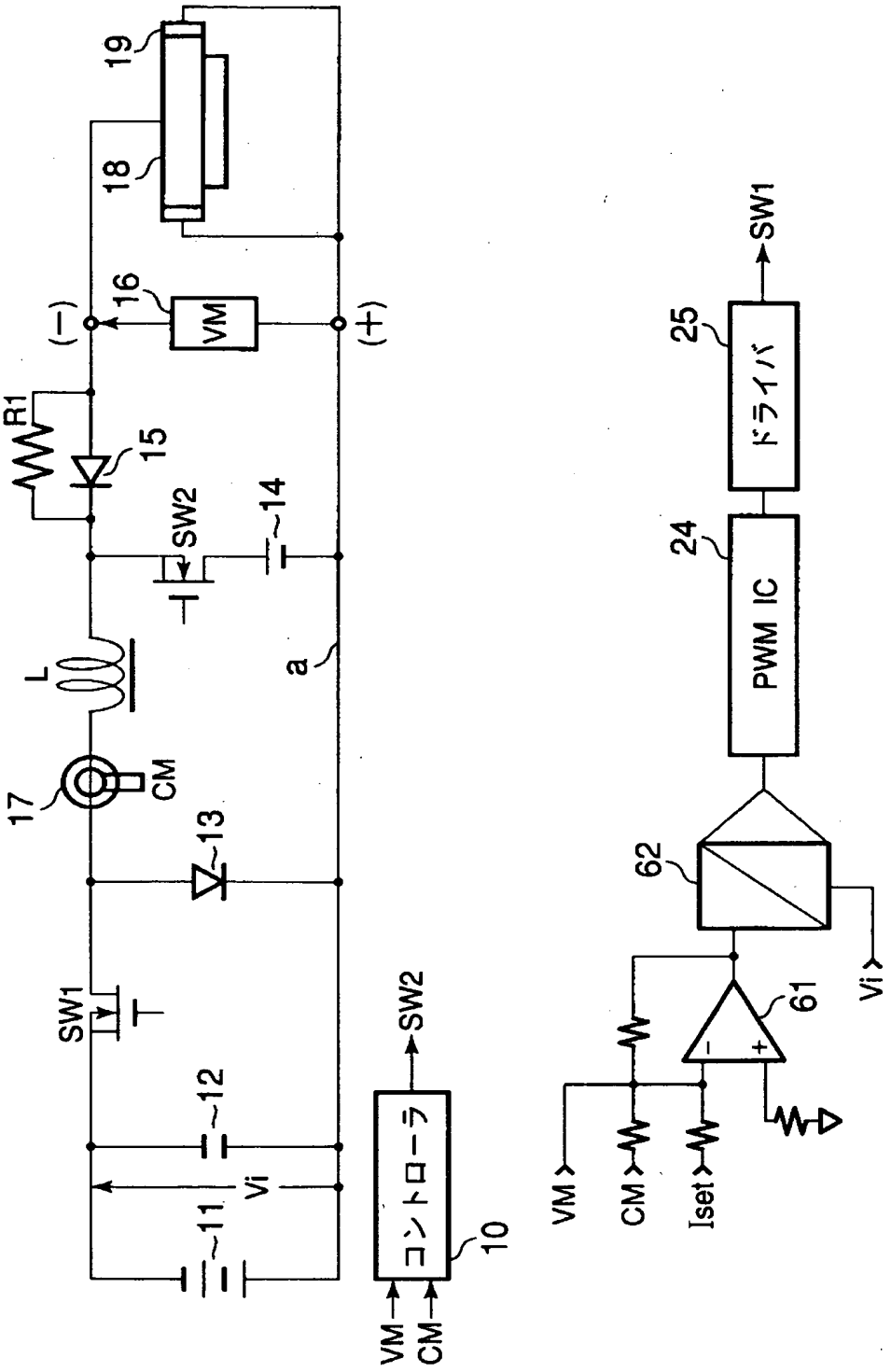
【図５】



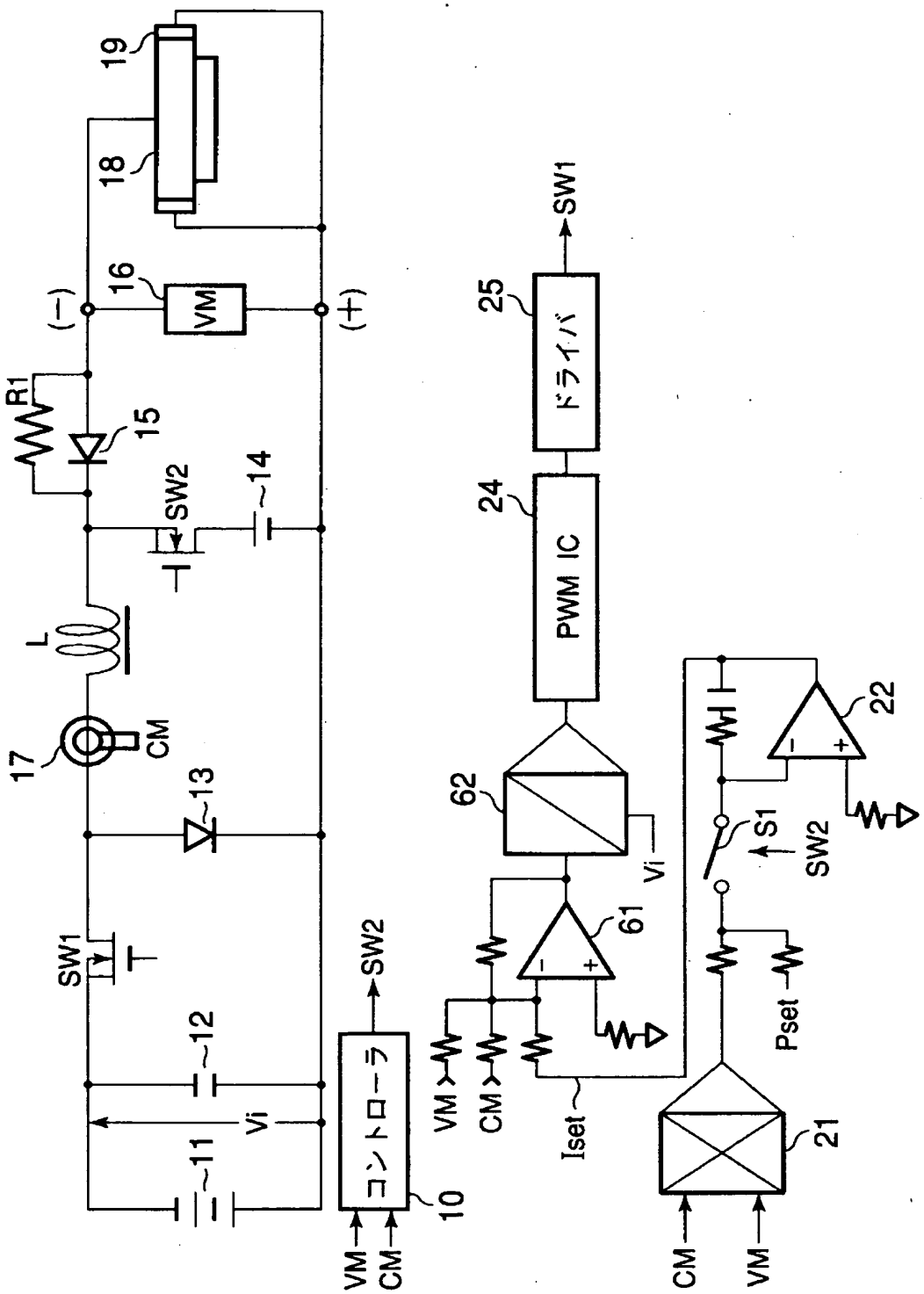
【図６】


SW2
10
コントローラ
VM
19
18
41
01
16
VM
02
R0
D2
L4
L3
L2
L1
SW2
C31
PS2
B1
22
CM
B2
T1
42
S12
S10
S14
S11
C11
S13
L0
Do
AC200V3 φ
CT
CT lim
51
31
CM
(Iset)
52
52b
52a
52d
52c
53
54
T
Q
/Q
55a
55b
56a
56b
ドライバ
ドライバ
S10(S11,S14)
S10(S13,S12)
22
S1
SW2
Pset
21
CM
VM

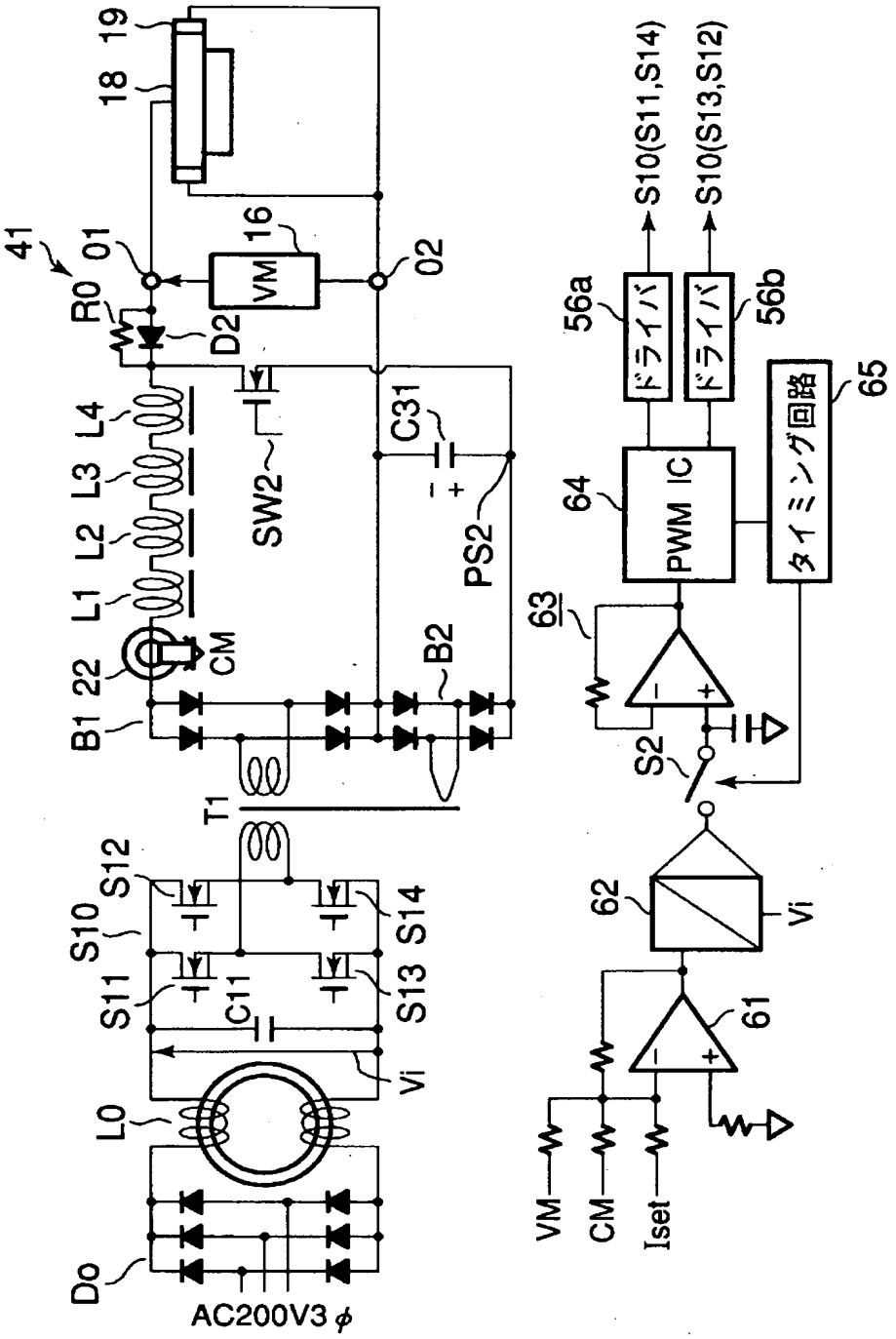
【図７】


19
18
16
VM
(−)
(+)
R1
15
SW2
14
a
L
17
CM
13
SW1
12
Vi
11
コントローラ
SW2
10
VM
CM
SW1
25
ドライバ
24
PWM IC
62
61
Vi
VM
CM
Iset

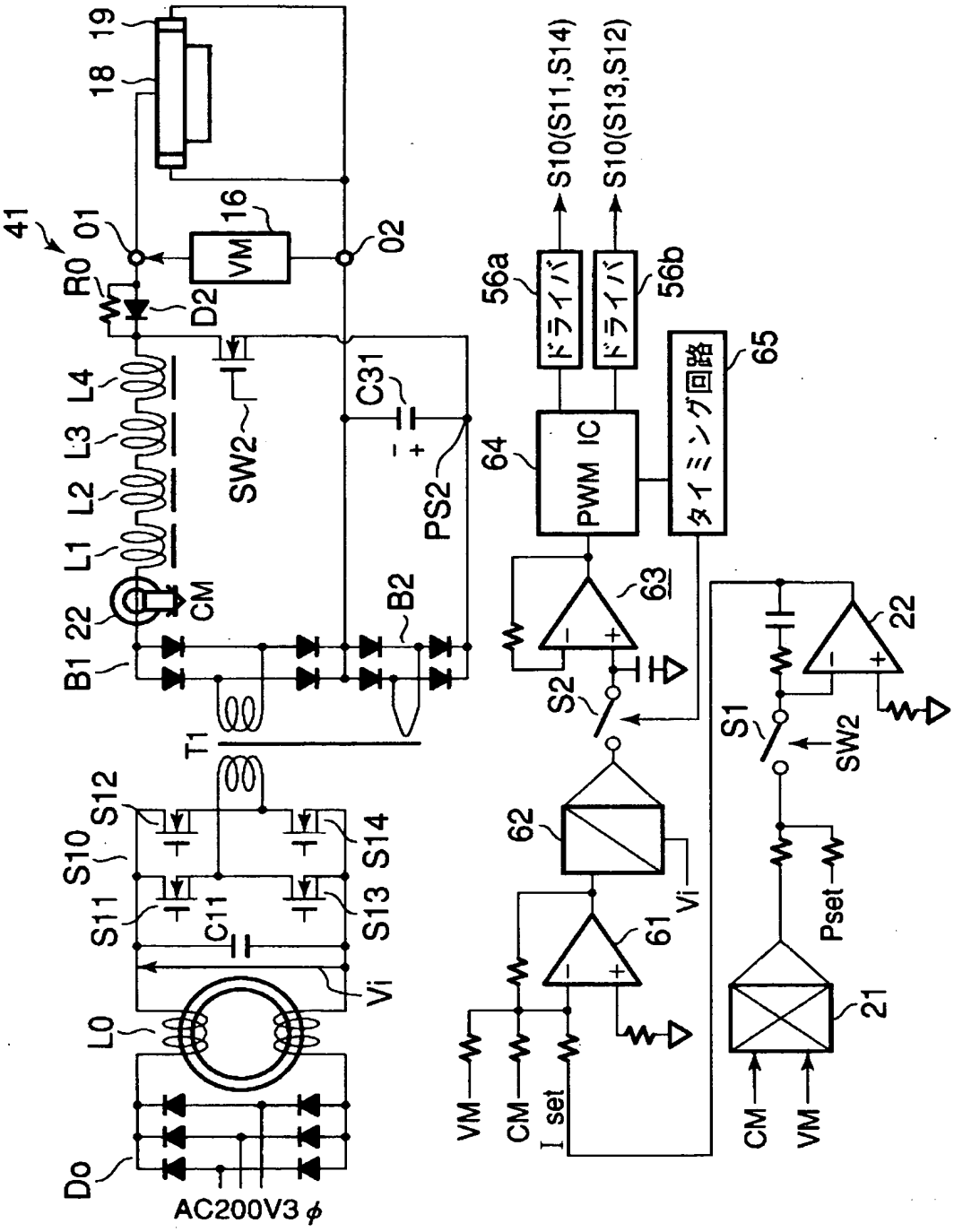
【図８】


19
18
16
VM
(−)
(+)
R1
15
SW2
14
L
17
CM
13
SW1
12
Vi
11
コントローラ
SW2
10
VM
CM
SW1
25
ドライバ
24
PWM IC
62
Vi
61
VM
CM
Iset
22
S1
SW2
Pset
21
CM
VM

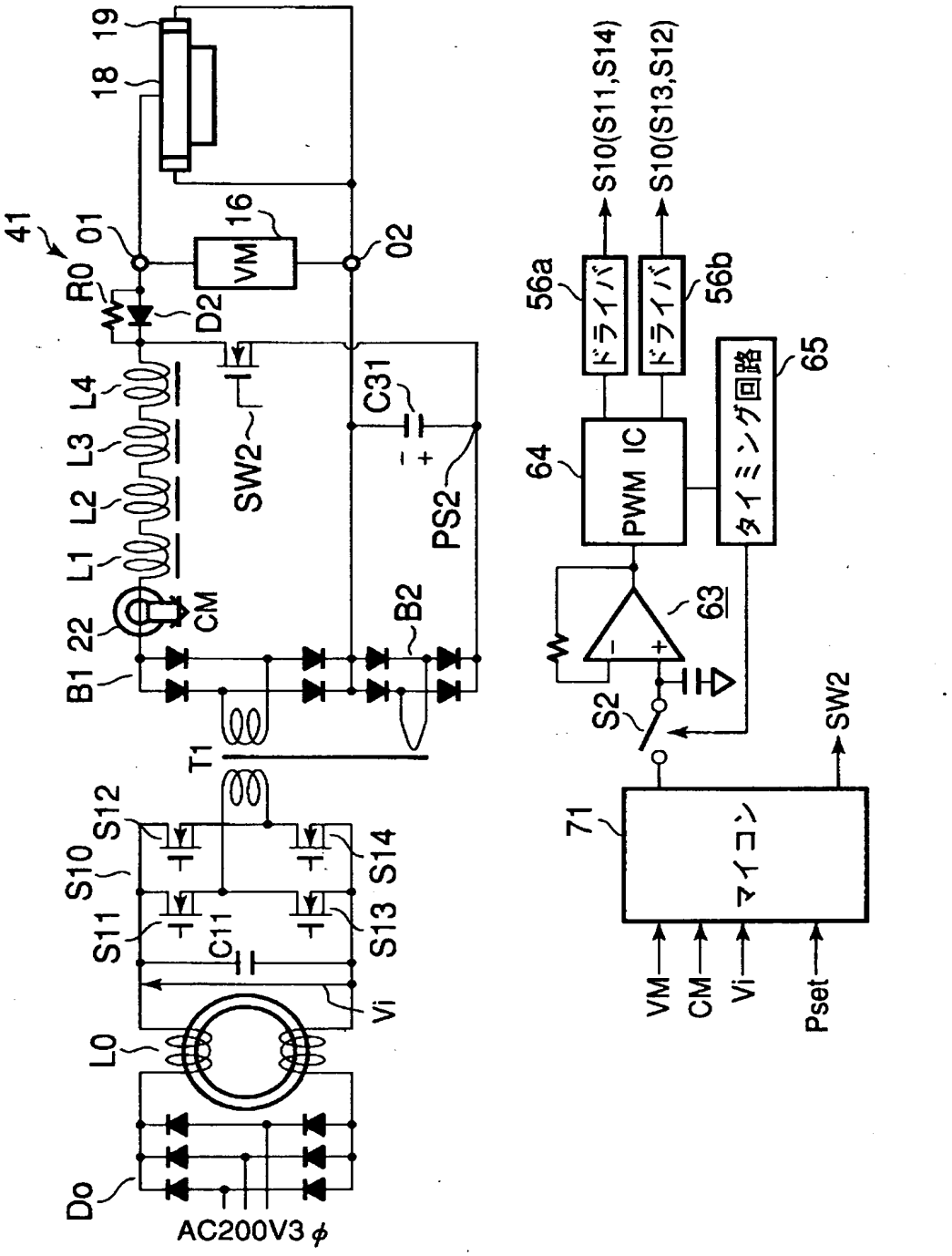
【図９】


19
18
41
01
16
VM
02
R0
D2
L4
L3
L2
L1
SW2
C31
PS2
B1
22
CM
B2
T1
S12
S10
S14
S11
C11
S13
Vi
L0
Do
AC200V3φ
S10(S11,S14)
S10(S13,S12)
56a
ドライバ
56b
ドライバ
65
タイミング回路
64
PWM IC
63
S2
62
Vi
61
VM
CM
Iset

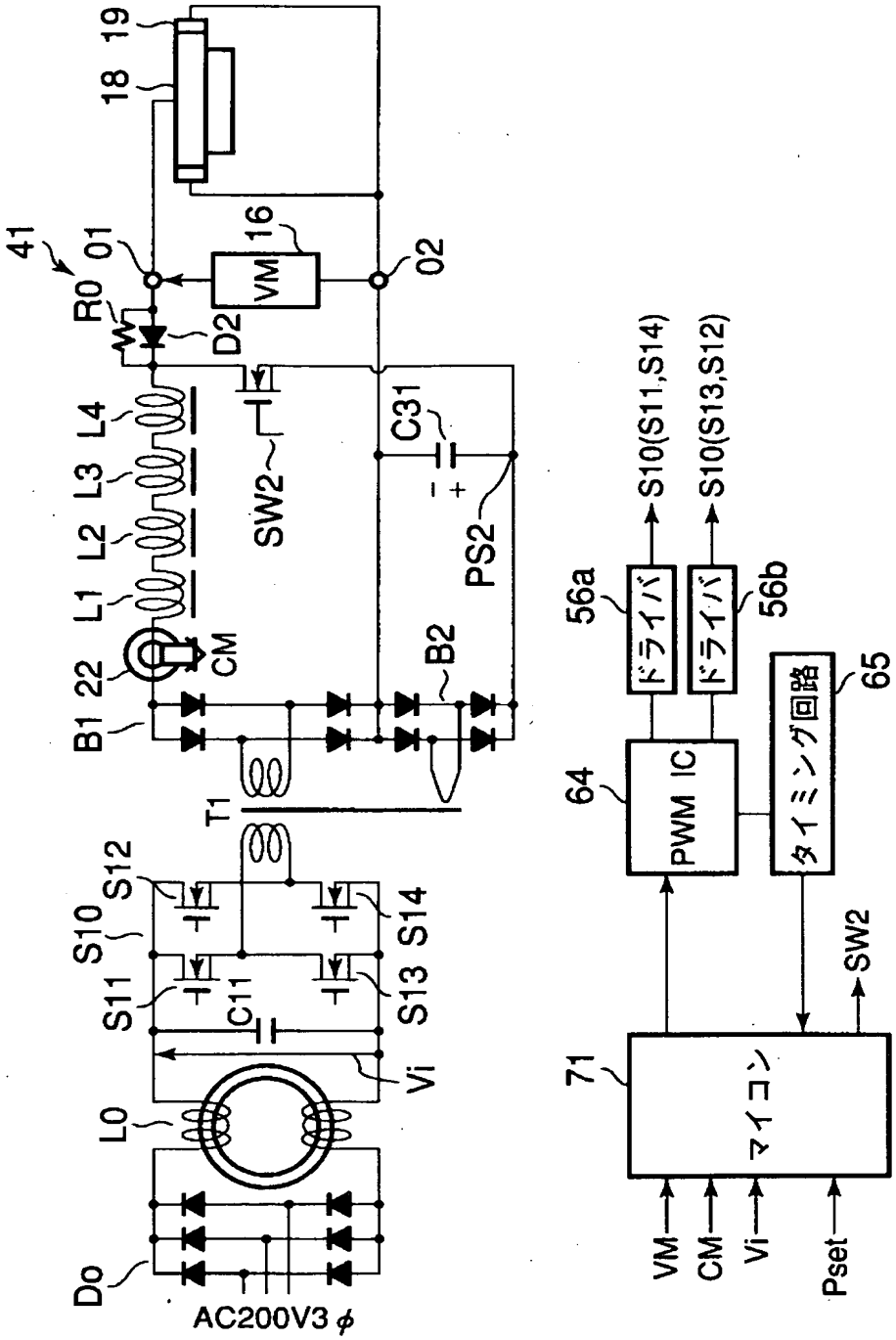
【図１０】


41
R0
01
02
D2
VM
16
18
19
L4
L3
L2
L1
CM
B1
22
B2
SW2
C31
PS2
T1
S10
S11
S12
S13
S14
C11
Vi
L0
Do
AC200V3φ
S10(S11,S14)
S10(S13,S12)
56a
56b
ドライバ
ドライバ
64
PWM IC
タイミング回路
65
63
S2
62
61
Vi
I set
VM
CM
S1
SW2
22
Pset
21
CM
VM

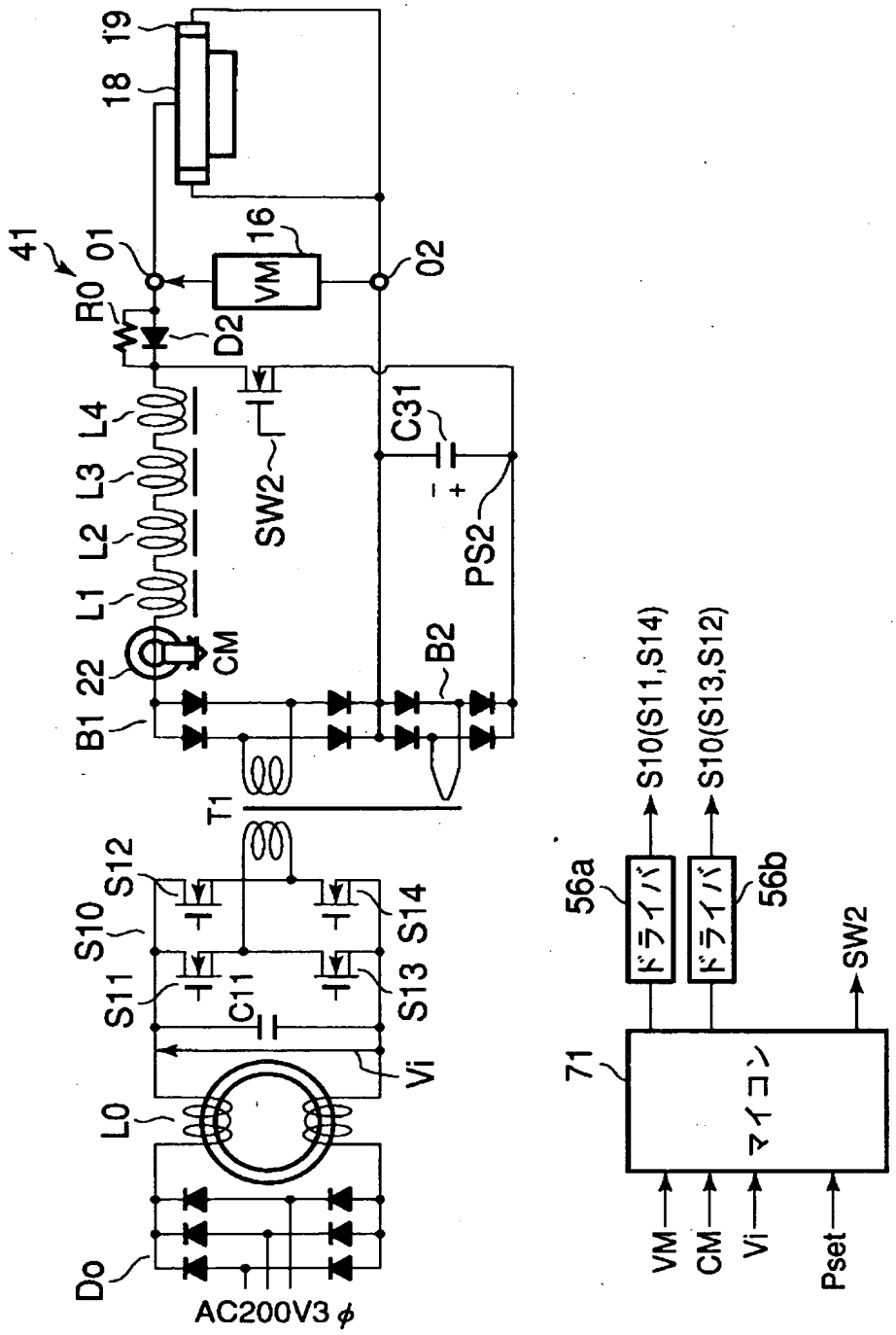
【図１１】


41
R0
01
02
D2
VM
16
18
19
L1
L2
L3
L4
CM
22
B1
B2
SW2
C31
PS2
T1
S10
S11
S12
S13
S14
C11
Vi
L0
Do
AC200V3φ
S10(S11,S14)
S10(S13,S12)
56a
56b
ドライバ
ドライバ
64
PWM IC
タイミング回路
65
63
S2
SW2
71
マイコン
VM
CM
Vi
Pset

【図１２】


19
18
41
R0
01
16
VM
02
D2
L4
L3
L2
L1
SW2
C31
PS2
B1
22
CM
B2
T1
S12
S10
S11
S14
S13
C11
Vi
L0
Do
AC200V3φ
S10(S11,S14)
S10(S13,S12)
56a
56b
ドライバ
ドライバ
64
PWM IC
タイミング回路
65
SW2
71
マイコン
VM
CM
Vi
Pset

【図１３】


19
18
41
R0
01
16
VM
02
D2
L4
L3
L2
L1
SW2
C31
PS2
CM
B1
22
B2
T1
S12
S10
S11
S14
S13
C11
Vi
L0
Do
AC200V3φ
S10(S11,S14)
S10(S13,S12)
56a
ドライバ
56b
SW2
71
マイコン
VM
CM
Vi
Pset

【書類名】　　要約書

【要約】

【課題】　アーク放電が発生してもスパッタ電流の変動を小さくさせることができるスパッタリング用電源装置を提供すること。

【解決手段】　負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、電圧検出手段１６で検出された電圧と電流検出手段１７で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段２２と、電流検出手段で検出された電流値とこの積分手段の出力を電流設定値としての誤差を取る差動アンプ２３と、この差動アンプの出力に応じて第１のスイッチング手段ＳＷ１を開閉制御するパルス幅を可変するパルス幅可変手段２４と、電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第２のスイッチング手段ＳＷ２が閉じられている間積分手段の動作を停止させる手段Ｓ１を具備したことを特徴とする。

【選択図】　　図１

出　願　人　履　歴　情　報

識別番号　　〔０００００２４２８〕

１．変更年月日　　２０００年１０月２３日
［変更理由］　住所変更
住　所　神奈川県横浜市栄区笠間２丁目５番１号
氏　名　芝浦メカトロニクス株式会社

２．変更年月日　　２００３年　４月１１日
［変更理由］　名称変更
住　所　神奈川県横浜市栄区笠間２丁目５番１号
氏　名　芝浦メカトロニクス株式会社